

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-267932

(43)Date of publication of application : 29.09.2000

(51)Int.Cl.

G06F 12/08

G06F 1/32

G06F 12/10

(21)Application number : 11-071471

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 17.03.1999

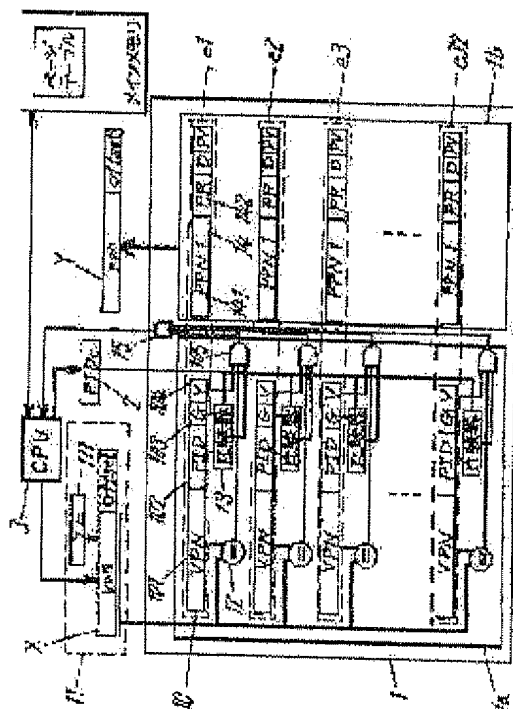
(72)Inventor : KAKETA MASAHIDE  
TANAKA TETSUYA

(54) TAG ADDRESS COMPARING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption needed to read and write an inputted tag address and perform comparing operation by providing a retrieving means, etc., which retrieves the entry matching the tag address inputted from a central processing unit from an entry storage means.

**SOLUTION:** The device is equipped with the entry retrieving means, etc., which retrieves the entry matching the tag address inputted from the central processing unit from the entry storage means. This comparing device controls the latch timing of an inputted virtual page number by setting a tag comparison enable bit so that the virtual page number is neither read out of nor written to an area set as a comparator non-operation area with the tag comparison enable bit and a comparator gives no variation to an inputted signal. An address converting buffer 1 including this tag address comparing device is formed in a package forming the central processor 3 and connected to a control register 2.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-267932  
(P2000-267932A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.<sup>7</sup>G 0 6 F 12/08  
1/32  
12/10

識別記号

F I

C 0 6 F 12/08  
12/10  
1/00

テーマト\* (参考)

E 5 B 0 0 6  
A 5 B 0 1 1  
3 3 2 Z

審査請求 未請求 請求項の数 6 O L (全 13 頁)

(21) 出願番号

特願平11-71471

(22) 出願日

平成11年3月17日 (1999.3.17)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 掛田 雅英

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72) 発明者 田中 哲也

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

Fターム(参考) 5B005 JJ00 JJ21 KK12 MM31 MM51

NN31 NN42 RR01

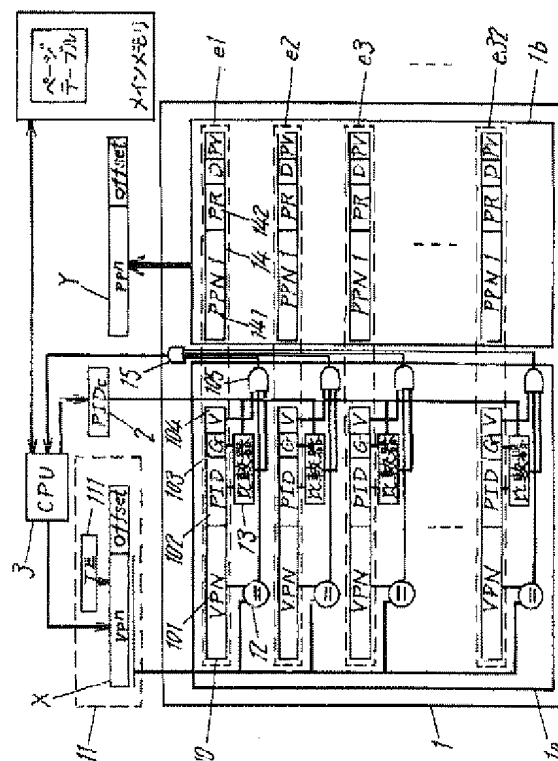
5B011 EA01 EA08 EB01 LL05

(54) 【発明の名称】 タグアドレス比較装置

(57) 【要約】

【課題】 タグアドレス比較装置において、一部のタグアドレスの入力更新を行わないことによってタグメモリ比較時およびタグアドレス記憶領域の読み書きに要する消費電力を削減する。

【解決手段】 複数の部分より構成されるタグアドレスの入力タイミングを部分的に規定するタグアドレス入力制御手段のタグ比較イネーブルビットに基づき、入力されるタグアドレスと前記エントリ中のタグアドレスと比較し、エントリ検索手段12、105により、入力されるタグアドレスに対し、このタグアドレスと一致するタグアドレスを含み、前記有効ビットがアクティブな場合にエントリを検索するよう構成される。



# 【特許請求の範囲】

【請求項1】 タグアドレスごとにデータを対応付けて記録した複数のエントリを記憶するエントリ記憶手段と、

前記第1タグアドレスに対して、中央処理装置から入力される第2タグアドレスを記憶するタグアドレス記憶手段と、

前記タグアドレス記憶手段において、中央処理装置からのタグアドレス入力タイミングを部分的に制御するタグアドレス入力制御手段と、

前記第2タグアドレスと、前記エントリ記憶手段に記憶された前記第1タグアドレスとを比較するタグアドレス比較手段と、

前記タグアドレス比較手段の比較結果が一致するエントリを前記エントリ記憶手段により検索するエントリ検索手段とを有するタグアドレス比較装置。

【請求項2】 前記タグアドレス入力制御手段が、前記第2タグアドレス記憶領域に設けられ、前記タグアドレス入力制御手段が複数ビットにより構成されるタグ比較イネーブルビットである請求項1記載のタグアドレス比較装置。

【請求項3】 前記タグ比較イネーブルビットに基づき入力更新を行わない第2タグアドレスの領域において、プログラムが正しく“0”の値を使用しているかを判断するタグ期待値判定手段を有する請求項1または、請求項2に記載のタグアドレス比較装置。

【請求項4】 請求項1又は請求項2に記載のタグアドレス比較装置において、前記タグ比較イネーブルビットに基づき、複数のエントリにおいて比較の必要があると判断される第1タグアドレス記憶手段のみを実装するタグアドレス比較装置。

【請求項5】 請求項3に記載の前記タグ期待値判定手段を有するタグアドレス比較装置において、前記タグ期待値判定手段により、複数のエントリにおいて比較の必要があると判断される第1タグアドレス記憶手段のみを実装する請求項1または請求項2に記載のタグアドレス比較装置。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メインメモリ内の命令やデータの一時的格納装置であるキャッシュ装置に関する。特に、タグ比較イネーブルビットに応じて中央処理装置より入力されるタグアドレスの入力タイミングを部分的に制御されたタグアドレスとキャッシュエントリに設定されたタグアドレスを比較する、タグアドレス比較装置に関する。

【0002】

【従来の技術】最近、メモリアクセスのボトルネックを解消するために、キャッシュメモリをチップ上に搭載するマイクロプロセッサが主流になってきている。特

に、コンピュータのメインメモリ容量の限界に対処してプログラミング上の負荷を軽減する技術として仮想記憶方式が広く採用されている。仮想記憶はオペレーティングシステム等によりメインメモリとハードディスク等の補助メモリにおいてメモリ容量を補充するように制御して容量の大きな仮想メモリを形成することで、大容量のメインメモリを論理上実現するものである。また、仮想記憶を採用するとプログラムの稼動時点に必要なデータだけをメインメモリにおくことができるので、複数のプログラム間でメモリを効率よく共有することも可能となる。仮想記憶では、仮想メモリ中のアドレスを示す仮想アドレスを、実際のメインメモリ中のアドレスを示す物理アドレスに変換するアドレス変換が必要になる。一般に仮想アドレスは仮想ページ番号とページ内オフセットに分割され、物理アドレスも物理ページ番号とページ内オフセットに分割される。そして、アドレス変換においては、仮想ページ番号と物理ページ番号を対応付けて記憶するページテーブルを設けておき、このページテーブルを参照し要求された仮想アドレスから物理ページ番号を抽出することで物理アドレスへと変換する。なお仮想アドレスと物理アドレスのページ内オフセットは同じであるので、物理ページ番号へ所定のページ内オフセットを連結することで物理アドレスが生成される。ところで、このページテーブルは非常に大きいのでメインメモリに格納する必要がある。したがって、中央処理装置からメインメモリへのアクセス要求がある度に、ページテーブルへのアクセスと実際のデータへのアクセスとの2回のアクセスをメインメモリに行うことになり処理時間の遅延を生じる。このような処理時間の遅延を改善するために、近年、ページテーブルの他に、さらにアドレス変換バッファ（以下「TLB」という。）を設けることが行われる。TLBはページテーブルのうち、使用頻度が高い仮想ページ番号と物理ページ番号との対応を記憶したアドレス変換専用のキャッシュメモリである。TLBが設けられている場合、中央処理装置から、メインメモリへのアクセスがあるとまずTLBが最初に検索され、入力された仮想アドレスのページ番号がTLBのエントリにある場合は、この仮想アドレスに対応する物理アドレスに高速に変換することができる。ここで求める仮想アドレスがない場合に、メインメモリ等にあるページテーブルが検索される。TLBの記憶内容を適切に定め、TLBのヒット率を高めることでメインメモリへのアクセスの効率化を図ることができる。しかし、このTLBもプロセッサの性能が向上するとともに、メモリアクセスのボトルネックを解消するために、エントリ数を32から64エントリもつものが主流になってきている。TLBは一般的にフルアソシアティブの連想メモリが用いられるため、チップの面積占有率も年々増えつづき、チップの消費電力においてはオンチップキャッシュ全体で消費される電力がチップの消費電力の約30%を

占める等により、チップサイズの小型化および低消費電力化の必要性が生じている。たとえば（文献：日立SHマイコン仕様書から）、日立のSHシリーズでは、キャッシュメモリの構成として、セット・アソシアティブ方式を採用しており、消費電力を削減する方法として、低消費電力モードに設定されると、動作させるキャッシュのウェイ数を減らし、ダイレクト・マップ方式と同様の動作をするようになる。このような低消費電力モードでは、キャッシュの容量が減り、連想度も下がるため、ミス率は増加し、性能は低下するが、消費電力は削減することができる。

#### 【0003】

【発明が解決しようとする課題】しかしながら、上記低消費電力モードのように、消費電力を下げるために動作するキャッシュの容量を削減する方法では、キャッシュミス率が上昇するので、外部メモリへのアクセスが増加し、さらに性能低下による実行時間の増加によって、結果的に消費電力量が増加する可能性がある。アドレス変換バッファについても同様のことが言える。消費電力を下げるために動作するアドレス変換バッファのエントリ数を削減すると、アドレス変換バッファのミス率が上昇するため、メインメモリへのアクセスが増加し、さらに性能低下による実行時間の増加によって結果的に消費電力量が増加する可能性がある。本発明の目的は、アドレス変換バッファを含むキャッシュにおいて、キャッシュエントリをそのまま使用し、キャッシュのミス率を下げることなく、タグアドレス比較の際に、入力されるタグアドレスを部分的に変化させず、またタグアドレス比較器の稼働範囲を削減することにより、一般に使われているキャッシュと比べて入力されるタグアドレスの読み書き、および比較動作に必要な消費電力を削減するタグアドレス比較装置を提供することである。

#### 【0004】

【課題を解決するための手段】上記課題を解決するために請求項1に記載のタグアドレス比較装置では、タグアドレスごとにデータを対応付けて記録した複数のエントリを記憶するエントリ記憶手段と、前記第1タグアドレスに対して、中央処理装置より入力されるタグアドレスを記憶するタグアドレス記憶手段と、前記タグアドレス記憶手段において、中央処理装置からのタグアドレス入力タイミングを部分的に制御するタグアドレス入力制御手段と、前記第2タグアドレスと前記エントリ記憶手段により記憶された前記第1タグアドレスとを比較するタグアドレス比較手段によって、タグアドレス比較器無稼働領域の生成と、部分的に常に一定の値を保持している第2タグアドレス記憶領域の一部分に対して、信号の変化を最小限に押さえることによって、消費電力が最小になるような構造を持ち、常にヒット信号を出すように構成され、前記中央処理装置より入力されるタグアドレスに対し、このタグアドレスと一致するエントリを前記エ

ントリ記憶手段より検索するエントリ検索手段とを有している。請求項2に記載のタグアドレス比較装置では、前記タグアドレス入力制御手段を前記タグアドレス記憶領域に設け、前記タグアドレス入力制御手段が複数ビットより構成されるタグ比較イネーブルビットを用いている。請求項3に記載のタグアドレス比較装置では、請求項1又は2に記載のタグアドレス比較装置に加えて、プログラムにより比較の必要がないと設定されたタグアドレスの比較器無稼働領域に対して、プログラムが正しく“0”の値を使用しているかを判断するタグ期待値判定手段を有している。また、請求項4に記載のタグアドレス比較装置では、請求項2に記載のタグ比較イネーブルビットにより、比較器無稼働領域と設定された第2タグアドレスに対して対応する第1タグアドレスのエントリのみを物理的に実装する。請求項5に記載のタグアドレス比較装置では、請求項3に記載のタグアドレス比較装置において、タグ期待値判定手段により比較器無稼働領域と設定された第2タグアドレスに対して対応する第1タグアドレスのエントリのみを物理的に実装する。

#### 【0005】

【発明の実施の形態】以下に本発明の実施形態について図面を参照しながら説明する。

【0006】図1に本実施の形態に係るタグアドレス比較装置を含むTLB1の構成を表すブロック図を示す。TLB1は中央処理装置3を形成するパッケージ内に設けられ、中央処理装置3と高速でアクセスできるメモリ素子により構成されており、オペレーティングソフトウェアおよび制御回路により制御される。また、TLB1は現在実行中のプロセスのプロセス識別子PIDを記憶する制御レジスタ2と接続されている。制御レジスタ2は中央処理装置3が実行プロセスを切り替える毎に書き換えられる。これらの装置は一般的なコンピュータシステムに組み込まれる。TLB1は、仮想ページ番号と物理ページ番号とを対応付けて記憶している複数のエントリe1、e2、e3、・・・e32を記憶している。各エントリ記憶部は仮想ページ番号等を記憶したタグ部10と、これに対応する物理ページ番号等を記憶するデータ部14に分けられる。また、全エントリ記憶部のデータ部14はTLB1のデータアレイ部1bにまとめられている。タグ部10は仮想ページ番号記憶領域101、プロセス識別子記憶領域102、グローバルビット記憶領域103、有効ビット記憶領域104により構成され、それぞれの記憶領域に仮想ページ番号VPN、プロセス識別子PID、グローバルビットG、有効ビットVが記憶される。またタグ部10に記憶されている各仮想ページ番号に対して比較対象となる仮想アドレス入力部11は、中央処理装置3より入力される仮想ページ番号Xとオフセットからなる仮想アドレスを記憶する仮想アドレス記憶領域112と入力する中央処理装置から出力される仮想ページ番号を前記仮想ページ番号記憶領域

Xに入力するかどうかを規定するタグ比較イネーブルビットTEを記憶するタグ比較イネーブルビット記憶領域111により構成される。

【0007】ここでは、タグ比較イネーブルビットTEは4ビットの情報を用い、中央処理装置より入力される仮想アドレスのページ番号に対して一対の記憶領域のみをもつ。

【0008】また、プロセス識別子として複数ビットの情報をを用い特定のプロセスを表す。グローバルビットは前記プロセス識別子の比較および無比較を規定する比較情報となる。有効ビットVは、プログラムで中央処理装置3がリセットされたときに、エントリ中の物理ページ番号と仮想ページ番号が対応しなくなるような場合等を考慮して設けられるものであり、有効ビットVがアクティブであれば現在のエントリ中の物理ページ番号が仮想ページ番号に正しく対応していることを示し、インアクティブの場合は両者が適切な対応をしていないことを示す。タグ比較イネーブルビット111は、中央処理装置3から要求される仮想アドレスXの一部を構成する仮想ページ番号記憶領域Xの入力タイミングを制御する入力制御情報となる。また、タグ比較イネーブルビット111に応じて中央処理装置3より入力された仮想ページ番号vpnと仮想ページ番号VPNとを比較する仮想ページ番号比較手段としての仮想ページ番号比較器12と、前記制御レジスタ2から送られる現在進行中のプロセスのプロセス識別子PIDcとプロセス識別子記憶領域102に記憶されているプロセス識別子PIDとをグローバルビットGの値に応じて比較するプロセス比較手段としてのプロセス識別子比較器13が設けられている。そしてこの仮想ページ番号比較器12の出力値とプロセス識別子比較器13の出力値および有効ビット記憶領域104に記憶された有効ビットVの値はANDゲート105により論理積がとられる。第1比較器12および第2比較器13の比較結果が一致しさらに有効ビットがアクティブの場合、つまり適正な仮想ページ番号が存在する場合のみこのANDゲート105から信号値“1”が出力される。また、この仮想ページ番号比較器12およびANDゲート105によりエントリ検索手段が構成される。ANDゲート105の出力値はデータ部14に送られるとともにORゲート15に送られ、このORゲート15ですべてのANDゲート105の出力値に対する論理和がとられる。このORゲート15の出力信号値

“1”はヒット信号として、出力信号値“0”はミス信号として中央処理装置3へ出力される。データ部14は物理ページ番号記憶領域141、ページ属性記憶領域142により構成され、それぞれの記憶領域に物理ページ番号PPNおよびページ保護ビットPR、ダーティービットD、ページ有効ビットPV等のページ属性情報を記憶している。データ部14では、ANDゲート105から出力値“1”が送られてきた場合は、物理ページ番号

記憶領域141に記憶されている物理ページ番号PPNを出力する。出力された物理ページ番号PPNは、ページ内オフセットに連結されて物理アドレスYとして中央処理装置3へ送られる。

【0009】図2に仮想ページ番号比較器12の構成を表すブロック図を示す。仮想ページ番号比較器は、中央処理装置より入力される仮想ページ番号Xと、各エントリの仮想ページ番号101に対して各ビット毎に各比較器に入力され、各タグ比較器の出力を入力とするANDゲート123より構成される。

【0010】さらに、図3には一般的なコンピュータシステムで使われている、仮想ページ番号記憶領域Xの構成を表すブロック図を示す。中央処理装置3から入力される仮想ページ番号Xをクロック301とラッチイネーブル信号302の信号の論理積を出力とする信号303によって入力タイミングを制御され、仮想ページ番号記憶領域Xに記憶される。しかし、本発明においては、一般的なコンピュータシステムに利用される図3の仮想ページ番号記憶領域Xとは異なり、タグ比較イネーブルビットに応じた入力制御を行う図1に構成された仮想アドレス入力部11を構成する。図4にタグ比較イネーブルビットを用いた仮想ページ番号記憶装置の構成を表すブロック図を示す。中央処理装置3より入力される仮想ページ番号20ビットに対して、上位2ビットと、下位10ビットの仮想ページ番号X1およびX6に関しては、図3に示した一般的な仮想ページ番号記憶領域の同じ構成をとっている。しかし、上位3ビットと上位4ビットの仮想ページ番号X2に関しては、クロック401、ラッチイネーブル402の論理積403aの出力とタグ比較イネーブルビットTE1をANDゲート403bに入力し、ANDゲート403bの出力を仮想ページ番号記憶領域X2のデータ取り込み制御信号とする。同様に、仮想ページ番号記憶領域X3、X4、X5に対しても403c、403d、403eのANDゲートの出力制御信号によりデータを取り込む。この構成により、タグ比較イネーブルビットTEがノンアクティブの場合は、ANDゲートの出力が常に“0”となるために、中央処理装置からの仮想ページ番号が入力されず仮想ページ番号記憶領域のデータが変化しない。つまり、図3の構成の場合では、中央処理装置から同じ信号を入力している時でも、入力制御信号がクロックと同期して変動するために電力が消費されることになるが、図4の構成においては、タグ比較イネーブルビットが“1”の時だけ通常動作のように仮想ページ番号を取り込み、タグ比較イネーブルビットが“0”のときは常に一定値となり入力制御信号の切り替わりが起これないために電力がほとんど消費されないことを意味する。この消費電力が小さいのは、静止時にはPMOS、NMOSのどちらかが遮断状態となり、わずかなリーク電流が流れるのみで、全体的にみるとほとんど電流が流れないためである。

【0011】つぎに、本発明を実現するために必要なメモリマッピングの設定例について説明する。今、図5に示すようにあるプロセスのメモリ領域の割り当てを考えてみる。ここでは、32ビットの仮想アドレスを用いて説明を行っているので、仮想メモリ空間は4GBのメモリ空間が存在することになる。また、これまで説明してきたアドレス変換装置ではアドレス変換を行う時に、仮想ページ番号を比較すると同時に、プロセス識別子の比較も行っている。つまり、このことは、現在走行中のプロセスと同じプロセスに関してのみアドレス変換を行うことを意味する。また、各プロセス間でメモリ領域を共有できるプロセスが他にもある場合は、グローバルビットをアクティブな状態に設定しておくことによって、アドレス変換の際に仮想ページ番号の比較で一致すれば、プロセス識別子の比較を行わずにアドレス変換を行うことができる。このように、プロセス識別子に応じて、仮想メモリ空間から、物理メモリ空間にメモリ空間をマッピングするということは、図5(a)に示すような単一仮想アドレス空間ではなく、図5(b)に示すような各プロセス毎に4GBのメモリ空間をもつ多重仮想アドレス空間を採用していることを意味している。つまり、単一仮想メモリ空間の場合は、図5(a)のように各プロセスのメモリマッピングは各ハッシュに示したように割り当てられるが、異なるプロセスに対して同じメモリ領域を共有したくないがメモリ領域を共有しなければいけないことが生じるが、図5(b)のように多重仮想アドレス空間ではプロセス毎に仮想メモリ空間を持つことができるために、各プロセス間のメモリマッピングを考慮しなくてもよい。よって4GBもの膨大なメモリ空間をさらにプロセス間で独立に扱うことができるため論理上メモリ空間の拡大が大幅に実現できていることがわかる。しかし、実際作成されるプログラムではメモリ容量が大きく必要な場合でも数MB程度のものがほとんどであり、各プログラムを作成するに当たって、4GBもの連続するメモリ空間が必ずしも必要になるわけではない。本発明では、この多重仮想アドレス空間を有効に活用することによりアドレス変換装置を使用する。たとえば、図5にあるように4GBあるメモリ空間を一様に利用しないでミラー空間を作成しておくことを考える。ミラーアドレス空間について図6を用いて説明する。たとえば、8ビットの仮想アドレス空間を考える。8ビットのアドレス空間ということは、256Bのメモリ空間である。いま仮に8ビットのアドレスに関して図6(b)のようにページサイズを16B(4ビット)としてページテーブルを作成し、アドレス変換することを考える。ここでは、256B仮想メモリ空間から32B物理メモリ空間にアドレス変換を行う例を示している。0x80のアドレス(8ビット幅)を0x10(5ビット幅)にマッピングし、0x10(8ビット幅)のアドレスは0x00(5ビット幅)にマッピングされるようなページテ

ーブルを作成しておく。ここでは、0xc0のアドレスに関しては、特にマッピングを行わないとする。しかし、もし、このアドレス変換において仮想ページ番号の3ビット目を考慮しないでアドレス変換を実施した場合は、0x80(ページ番号1000)も0xc0(ページ番号1100)も同じ仮想ページ番号(1?00)によるアクセスが来たと考えて0x10にマッピングされることになる(?はアドレス変換の際に比較対象とされない)。この考えに基づいてメモリマップを作成すると、図6(c)のような構成になる。このように、あるビットを考慮しないでアドレス変換を行うということは、メモリ空間において、同じ物理空間にマッピングされる仮想メモリ空間を作成することになる。つまり、0x80-0x8fのアドレス空間と0xc0-0xcfのアドレス空間が同じアドレス空間を表していると考えればよい。同様に他のアドレスに対しても、図6(c)のように同じハッシュ領域に関して、同じ物理空間にマッピング(ミラー)されることになる。この考え方を有効利用して、32ビットのアドレスに関して同じように適用したものを図7に作成する。ここでは、上位5ビット目から上位8ビット目に区別をつけなかった場合を考える。こうすることによって、実際0x\*?\*\*\*\*\*\*(?はアドレス変換の際に比較されないビット領域、\*は任意の値を示す)のアドレス空間を作成することができる。

【0012】32ビットのアドレス空間では、上位4ビットの値で0x00000000-0xfffffffを一つの領域と考えた場合、上位4ビットにより4GBのメモリ空間を16個の領域に分類することができる。さらに、上位5ビットから上位8ビットの4ビットではこれらの各領域をさらに16個に分割することになる。ここで、この第2の上位4ビットを0に固定して使用することにする。つまり、4GBのメモリ空間の各16個に分割された領域について、その分割された16個の領域のうち、最初の一つの領域のみ使用することを考える。こうすることにより、0x80000000-0x80fffffの領域だけを使用して、後の0x81000000-0x81fffff以降の15個の領域に関しては、0x80000000-0x80fffffのミラーとして存在させておく。実際のプログラムでは、上位数ビットによるアドレス空間の決定と、下位数ビットによる詳細なアドレス領域の指定に使われ、中位の数ビットはプログラム上ではアドレス領域の指定には使われていないことが比較的多いことを利用すれば、上記メモリマッピングによりTLB等でタグ比較を行う際は、必ず、上位5ビットから上位8ビットの4ビットに関しては常に0を持つことになる。また、実際アドレス変換を実行する場合は、中央処理装置から入力される仮想ページ番号vpnと各エントリに設定された仮想ページ番号VPNは常に固定値0が比較されること

になり、そのビットに関するTLBのタグ比較をしなくてもよいことになる。本実施の形態では、タグ比較イネーブルビットTEは4ビット用いられており、その各ビットが中央処理装置から入力される仮想ページ番号の上位3、4ビット目、上位5、6ビット目、上位7、8ビット目、および上位9、10ビット目に対応している。さらに上記メモリマッピングを行っているとき、タグイネーブルビットTEを1001と設定すれば、仮想ページ番号vpnの上位5から8ビットまでの入力が行われない。また、TLB1の仮想ページ番号比較器12のうち、上位5ビット目から上位8ビットまでの4ビットが常にヒットする状態に固定される。すなわち、上記4ビットに関しては常にアクティブになるように信号が設定される。これにより、入力される仮想ページ番号vpn中の上位5から8ビット目においては、刻々と変化する中央処理装置からのタグアドレス入力に対しても第2タグアドレス記憶領域の上記部分は動作せず記憶領域の信号値が変化することがない。さらに第1比較器の4ビット分に相当する全エントリに対する比較器に関しても信号値が変わることがないため、消費される電力は大幅に削減できる。このメモリ空間の有効利用とハードウェアにタグ比較イネーブルビットおよび、低消費電力化のために信号の変化を押さえた仮想ページ番号記憶領域vpnを使うことにより、実質、あるビットのみタグ比較を必要とするTLBを作成することができる。これにより、タグ比較とタグ記憶領域への読み書きに必要な消費電力を削減することができる。同様に、ページテーブルにどのように影響を及ぼすかを考えると、TLBに登録されているエントリにおいて、常に仮想ページテーブルの上位5ビット目から8ビット目までが常に0であることが言える。このことがわかっているために、TLBにおいてタグ比較動作を行う際も、メインメモリでページテーブルを検索するためにテーブルウォークを行う際もこの4ビットに関する情報を持つ必要がなくなるため、比較しなくてもヒット信号を出すことができることになる。この場合に、図4で述べた回路を使用することにより、また全体像としては図8で示したように、タグ比較イネーブルビット801の値に応じて、仮想ページ番号記憶領域804と仮想ページ番号比較器802の信号を固定することによって、仮想ページ番号の常に一定値が設定されているであろう領域804に対してタグ比較器の信号を変化させることなく、タグ比較に必要な消費電力が削減でき、メインメモリではこのビットに関する情報を持たなくてよいためにページテーブルを管理するメモリ容量を削減することができる。

【0013】本例では、図7のメモリマッピングされたプログラムを図4の仮想ページ番号記憶手段を含む図1のタグアドレス比較装置を用いることにより、中央処理装置から送られる仮想ページ番号に対する物理アドレスに変換する際にも、ミラー空間により比較の必要のない

ビットに関しては、アドレス変換バッファの連想メモリを動作させることなく従来どおりアドレス変換を実現することができた。しかし、仮想記憶の大きな利点は2つある。まず、上記説明にあるように、物理メモリ空間に制限されずに論理上さらに大きなメモリ空間があると考えてプログラムを作成することができる。もうひとつは、メモリ空間を複数のプログラム間で効率よく共有することである。もちろん、プログラムのコンパイル時には、どのプログラムとどのプログラムが物理メモリを共有することになるかは分からない。実際、物理メモリを共有するプログラムは、プログラムの実行中に動的に変わることもある。よって、個々のプログラムは独自のアドレス空間内にコンパイルしたい。ここで、独自のアドレス空間とは、プログラム毎に別々にメモリ空間が割り当てられ、該当プログラムしかその空間にアクセスすることができないということである。ところが、単一の物理メモリを複数のユーザ・プログラムで共有する。さらには、オペレーティングシステムも物理メモリを共有する。したがって、あるプログラムが他のプログラムを壊すことがないように保護することができなければならない。このように、仮想記憶には、各プログラム独自のアドレス空間を実アドレス空間に変換する機能と、他のプログラムのアドレス空間を保護する機能が両方とも備わっている。しかし、本発明では、仮想ページ番号比較器を改良して図4のようにし、仮想アドレスのミラーを作成したことによって、そのミラー領域に対する不正アクセスがプログラムのバグ等により起こる可能性が考えられる。つまり、この方法ではメモリ保護の機能を十分満足できない。なぜなら、TLBのタグ比較で上位5ビットから上位8ビットを0であることを前提にTLBを動作させているために、もし、プログラムのバグ等により、不正にアドレスを比較していない領域において、想定していない値をもつアドレスでアクセスした場合もアドレス変換が実行され、誤ったアドレス生成により不正にメモリをアクセスされることになる。つまり、図6の例のように、0x80の仮想アドレスには0x10にアドレス変換を行うようにページテーブルを設定しているが、0xc0に関しては設定されていない。しかし、図4の回路を使用した場合は、マッピングされるべきでない0xc0の仮想アドレスに対しても0x10の物理アドレスにマッピングされることになる。つまり、不本意なアクセスにより、メモリ領域を侵害されることになる。このことは、仮想記憶のもう一つの目的である記憶領域の保護に関して機能を損なうことになる。この問題を解決するために本発明ではさらに、図9のような機能を付加する。図9はTLBの各エントリには上位5ビットから上位8ビットが0であることを前提にタグイネーブルビット901が設定されている。しかしこのように、タグ比較を行わないビットに関しては、オペレーティングシステムとして正しく“0”の値が使われている

か判断するために、比較器を使う必要はなく、“0”であることを前提に使っているために、タグ比較イネーブルビット901の反転信号と、中央処理装置から出力されている信号の論理積を取った信号905の出力により判定することができる。この出力が“1”になるときがアクセス例外を意味する。すなわち、タグ比較イネーブルビット901がアクティブになっているTE1に関してみると、TE1が“1”であるため、インバータ904aを通して“0”にかわり、これがANDゲート905a、905bに入力されると出力は必ず“0”になる。つまり、ここでは、常に信号が入力されているために上記の不正アクセスが起こらない。また、TEbに関しては、インバータ904bを通して“1”にかわり、これがANDゲート905c、905dに入力される。このときのANDゲートの出力はもう一方の信号X3によって決まるため、プログラムが想定していなうアドレスの“1”を使っている場合は、ANDゲート905c、905dの出力が“1”となる。つまり、アクセス例外を検出できる。よって、これらの出力905a、905b、905c、905d、905e、905f、905g、905hの論理和をとることにより、アクセス例外がないかどうかを判定できる。タグ期待値判定手段906は、TLBの各エントリに対して必要なわけではない、これにより、数ビット分のANDゲートは増えることになるが、全エントリの比較器の動作制限は、依然として実現できていることに注意したい。また、基本的にこの信号は常に0がセットされており、タグ期待値比較器705の内容は正常なアクセスが行われる限り変化することがないため、ほとんど、電力を消費することはない。もし、不正アクセスがあったならば、上記タグ期待値比較結果がミス信号706を出し、オペレーティングシステムにアクセス例外があったことを知らせることができる。こうすることにより、仮想記憶本来の性能を失うことなく、上記で説明されるアドレス変換装置の消費電力を削減することができる。

【0014】また、タグ期待値判定手段を含むタグアドレス比較装置を図10に示す。さらに最終的には、図11のように図8に示したアドレス変換バッファに対して目的に応じて、メモリマッピングを行い、それに応じてハードウェアを量産する場合においては、タグ比較を行わないのではなく、タグ比較を行うもののみ物理的に実装することができる。同様に、図12のように図10に示したアドレス変換バッファに対して目的に応じて、メモリマッピングを行い、それに応じてハードウェアを量産する場合においては、タグ比較を行わないのではなく、タグ比較を行うもののみ物理的に実装することができる。こうすれば、不必要なタグメモリが削減できるために、削除されたタグメモリに必要な全消費電力の削減と、さらには、面積の削減が実現できチップサイズ的小型化が行える。

【0015】なお、本発明の実施の形態に関しては、アドレス変換装置を用いたが、キャッシュによる、タグアドレス比較装置に対しても実施することができる。また、タグ比較イネーブルビットのビット数を4ビット、タグアドレス入力制御手段を持ったタグアドレス記憶手段を8ビット分用いたが、この数に関しては、この限りではない。

【0016】

【発明の効果】以上の説明により、本発明は次のような効果を奏する。

【0017】まず、請求項1に記載のタグアドレス比較装置は、タグ比較イネーブルビットの設定により入力される仮想ページ番号のラッチタイミングを制御し、タグ比較イネーブルビットにより比較器無移動領域に設定された領域に対する仮想ページ番号の読み書きおよび、比較器は入力される信号に変化を与えない状態にすることにより、消費電力を押さえることができる。特に、比較器無移動領域に対するタグアドレス記憶手段に関しては、従来の装置では、同じ信号を入力する際も、入力タイミングを制御する信号がクロックと同期して入力されるために、信号の変化により、電力が消費されたが、本発明により使用されたタグアドレス記憶手段に関しては、タグ比較イネーブルビットによって、ディセーブルされている記憶装置に関しては、入力制御タイミングが固定されているので、上記のような電力消費が起こらない。さらに、タグアドレス比較動作に関しても、正常動作されている限りは、常に同じ“0”の信号を比較しており、信号の変化がないため、電力消費が削減できる。

【0018】また、請求項3に記載のアドレス変換装置により、上記消費電力を削減することができる上に、プログラムのバグ等により仮想ページ番号の無比較領域においてプログラムが想定している値以外の値を使用して不正アクセスがあった場合においても、比較器を用いずにアクセス例外を検出でき仮想記憶装置本来のメモリ保護の機能を発揮できる。

【0019】また、請求項2に記載のアドレス変換装置では、タグ比較イネーブルビットを仮想ページ番号記憶領域に入力しているため、この信号を入力後は、タグ比較イネーブルビットがノンアクティブに設定されている仮想ページ番号記憶領域に関しては、ほとんど電力は消費されることがない。

【0020】請求項4又は請求項5に記載のアドレス変換装置では、アドレス変換用のタグメモリを必要な領域だけ実装すればよいので、チップの消費電力を削減できることはもとより、チップ面積を削減することもでき、コストパフォーマンスの向上につながる。

【図面の簡単な説明】

【図1】実施の形態に係るタグアドレス比較装置の構成を示すブロック

【図2】一般的なタグアドレス比較器の構成を示すプロ



ック図

【図3】一般的なタグアドレス記憶手段の構成を示すブロック図

【図4】タグ比較イネーブルビットを用いたタグアドレス記憶手段の構成を示すブロック図

【図5】単一仮想アドレス空間と多重仮想アドレス空間のイメージ図

【図6】仮想アドレス空間のアドレス変換を行う一例を模式的に示す図

【図7】ミラー空間を使用した仮想アドレス空間の割り当ての一例を模式的に示す図

【図8】図1に示すタグアドレス比較部のブロック図

【図9】図1に示すタグアドレス記憶手段にタグ期待値判定手段を挿入したブロック図

【図10】図8に示すタグアドレス比較部にタグ期待値判定手段を挿入したブロック図

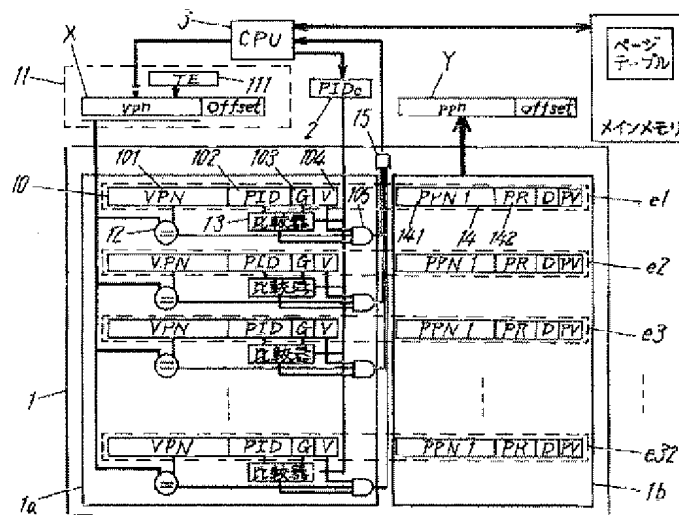
【図11】図8に示すタグアドレス比較部に対して無比較領域となっていないタグメモリ部のみを実装する構成を示すブロック図

【図12】図10に示すタグアドレス比較部に対して無比較領域となっていないタグメモリ部のみを実装する構成を示すブロック図

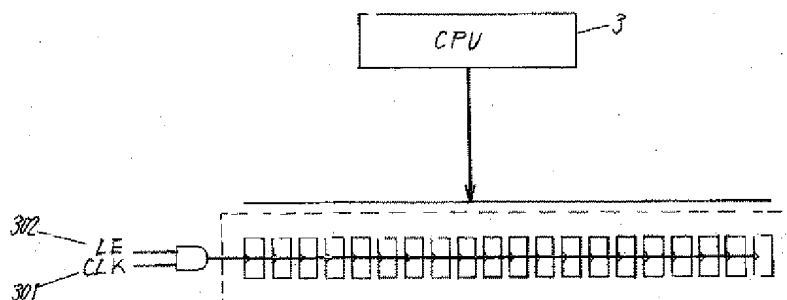
【符号の説明】

- 1 TLB
- 2 制御レジスタ
- 3 中央処理装置
- 10 タグ部
- 11 タグアドレス入力部
- 12 タグアドレス比較器
- 13 プロセス識別子比較器
- 14 データ部
- 101 仮想ページ番号記憶領域
- 102 プロセス識別子記憶領域
- 103 グローバルビット記憶領域
- 111 タグ比較イネーブルビット記憶領域
- 141 物理ページ番号記憶領域
- 906 タグ期待値判定手段

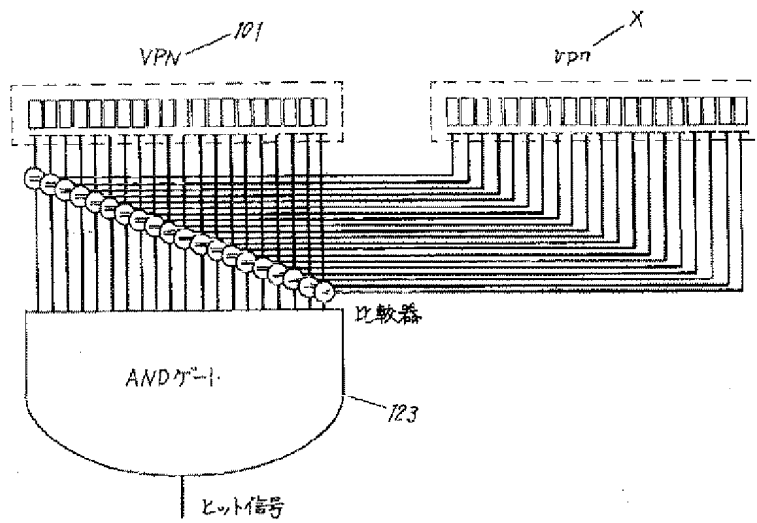
【図1】



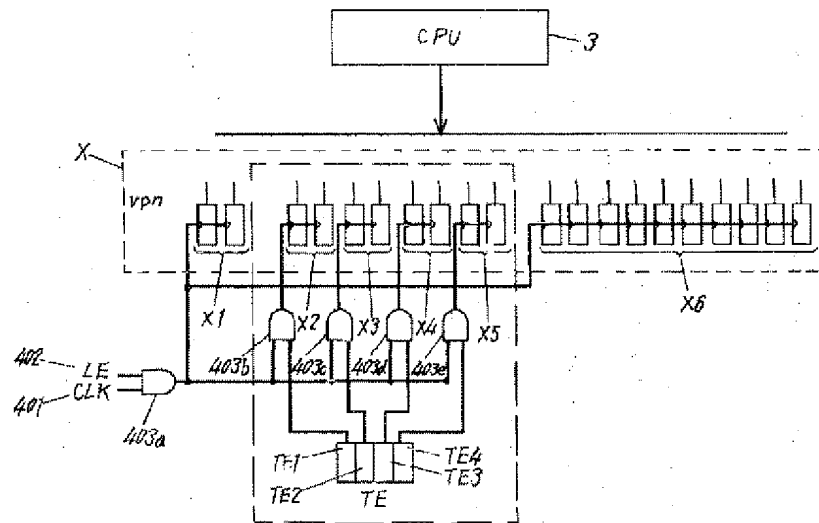
【図3】



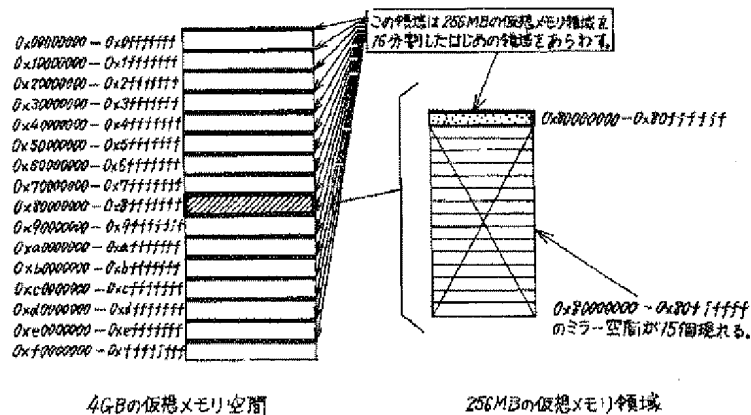
【図2】



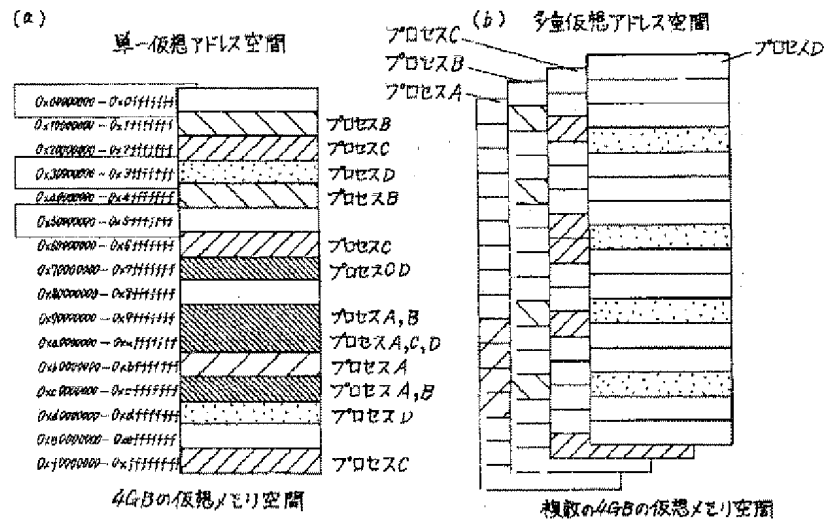
【図4】



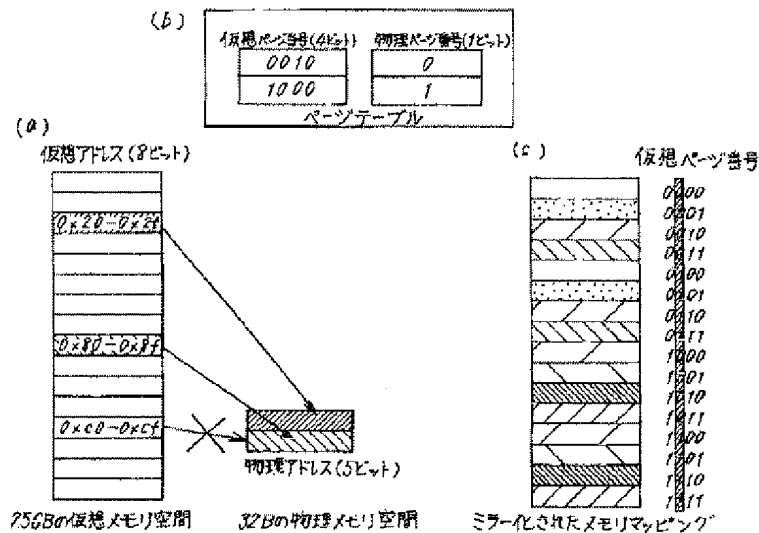
【図7】



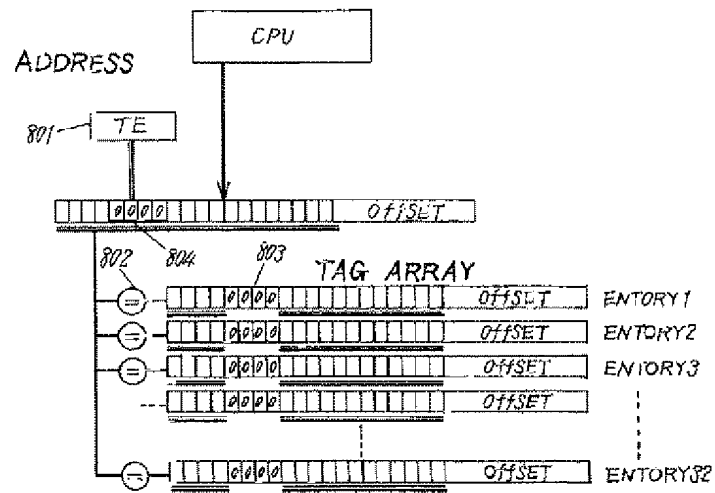
【図5】



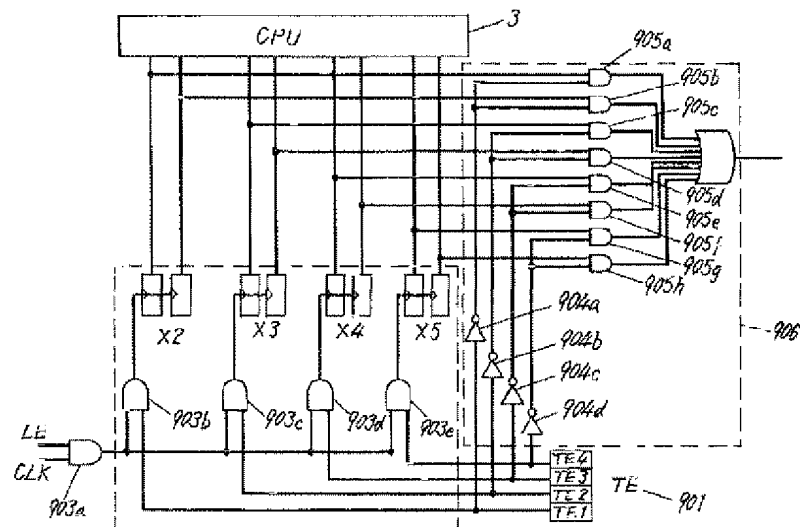
【図6】



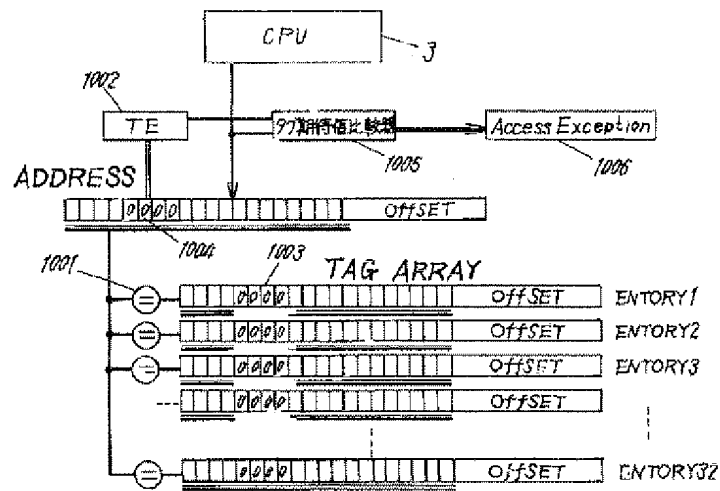
【图8】



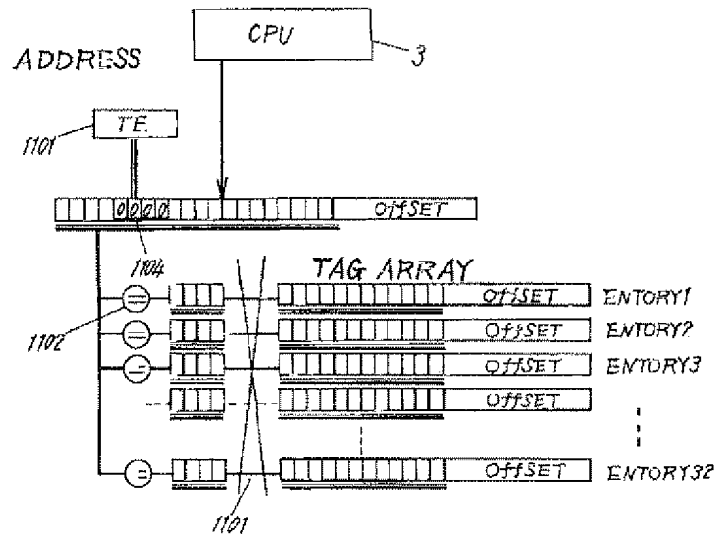
【图9】



【図10】



【図11】



【図12】

